

CERTIFICATE OF MAILING

Art 2811

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on 2/28/01

Docket: 0819-466

*Rhonda Bryant*

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT Application of )  
Takumi MIKAWA et al. )  
Serial No. 09/734,176 ) Art Unit: 2811  
Filing Date: December 12, 2000 )  
For: SEMICONDUCTOR DEVICE AND )  
METHOD FOR FABRICATING )  
THE SAME )



CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119

Honorable Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Applicant(s) hereby claim foreign priority benefits under 35 U.S.C. § 119 based on Japanese Application No. 11-353104 filed December 13, 1999.

A certified copy was previously submitted on December 12, 2000.

Respectfully submitted,

Eric J. Robinson  
Registration No. 38,285

NIXON PEABODY LLP  
8180 Greensboro Drive, Suite 800  
McLean, Virginia 22102  
(703) 790-9110

RECEIVED  
MAR - 8 2001  
TC 2800 MAIL ROOM

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年12月13日

出願番号

Application Number:

平成11年特許願第353104号

出願人

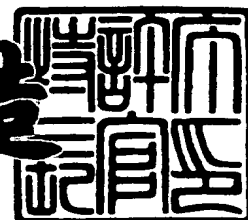
Applicant(s):

松下電子工業株式会社

2000年 7月21日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3055924

【書類名】 特許願

【整理番号】 2926410086

【提出日】 平成11年12月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01G 4/10

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 三河 巧

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 十代 勇治

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された下部電極と、前記下部電極の上に形成された強誘電体膜からなる容量絶縁膜と、前記容量絶縁膜の上に形成された上部電極と、前記上部電極の上に形成された密着層と、前記下部電極、容量絶縁膜、上部電極及び密着層を覆うように形成された絶縁膜とを備え、

前記密着層は、金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜からなることを特徴とする半導体装置。

【請求項 2】 前記上部電極は P t 又は I r を含み、

前記金属酸化膜は T i 又は T a の酸化物からなり、

前記金属窒化膜は T i 又は T a の窒化物からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 基板上に、第 1 の金属膜、強誘電体膜、第 2 の金属膜、及び金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜を順次堆積する工程と、

前記単層膜又は積層膜をパターニングして密着層を形成する工程と、

前記第 2 の金属膜をパターニングして上部電極を形成する工程と、

前記強誘電体膜をパターニングして容量絶縁膜を形成する工程と、

前記第 1 の金属膜をパターニングして下部電極を形成する工程と、

前記下部電極、容量絶縁膜、上部電極及び密着層を覆うように絶縁膜を堆積する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 4】 前記単層膜又は積層膜を堆積する工程は、金属酸化物若しくは金属窒化物からなるターゲットを用いるスパッタリング法、又は、酸素ガス若しくは窒素ガスを含む雰囲気中に行なう反応性スパッタリング法により行なわれることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 基板上に、下部電極、容量絶縁膜及び上部電極からなる容量素子を形成する工程と、

前記容量素子に対して 3 0 0 ℃ ～ 8 0 0 ℃ のアニールを行なう工程と、

前記容量素子の上に、金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜からなる密着層を堆積する工程と、

前記容量素子及び密着層を覆うように絶縁膜を堆積する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体膜からなる容量絶縁膜を有する容量素子を備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、マイクロコンピュータ等の高速化及び低消費電力化の進展により、民生用電子機器が一段と高度化し、これに伴って、半導体装置の半導体素子の微細化が急速に進められてきている。このため、電子機器から発生する電磁波雑音である不要輻射が大きな問題になっている。

【0003】

そこで、不要輻射の低減を図るため、高い比誘電率を有する強誘電体膜を容量絶縁膜とする大容量の容量素子を半導体集積回路装置等に内蔵する技術が注目されている。

【0004】

また、ダイナミックRAMの高集積化に伴って、容量絶縁膜としては、従来から用いられてきた珪素酸化物又は珪素窒化物に代わって、高誘電体膜を用いる技術が広く研究されている。

【0005】

さらに、低動作電圧、高速書込み及び高速読出しが可能な不揮発性RAMの実用化を実現するために、自発分極特性を有する強誘電体膜に関する研究開発が盛んに行われている。

【0006】

強誘電体膜からなる容量絶縁膜を有する容量素子が組み込まれた半導体装置を

実現するための最重要課題は、容量素子の特性を劣化させることなく高集積化を実現することにある。

## 【0007】

特に、強誘電体容量素子の電極材料にPt又はIr等の貴金属を用いることは、ここ数年の新しい技術であり、強誘電体膜からなる容量絶縁膜を有する容量素子の半導体プロセスへの適応という点では、まだ数多くの課題が残っている。例えば、Pt又はIr等の電極材料は、シリコン酸化膜又はシリコン窒化膜等の絶縁膜との密着性が悪いので、高温のアニールを行なった場合又は下地膜の種類によっては絶縁膜の成膜直後に絶縁膜が剥がれてしまうという問題がある。このため、Pt又はIr等からなる上部電極とシリコン酸化膜又はシリコン窒化膜等の絶縁膜との間には密着層が必要であり、従来においては、半導体プロセスで一般的に用いられるチタン膜が密着層として用いている。

## 【0008】

以下、従来の半導体装置及びその製造方法について図面を参照しながら説明する。

## 【0009】

図5は従来の半導体装置の要部の断面構造を示している。図5に示すように、半導体基板10の上に、Pt膜からなる下部電極11、強誘電体膜からなる容量絶縁膜12、Pt膜からなる上部電極13及びTi膜からなる密着層14が順次形成されており、これら下部電極11、容量絶縁膜12、上部電極13及び密着層14の上には、シリコン酸化膜又はシリコン窒化膜等からなる絶縁膜15が堆積されている。

## 【0010】

下部電極11には、絶縁膜15に埋め込まれた第1のコンタクト16Aを介して第1の金属配線17Aが接続されていると共に、上部電極13には、絶縁膜15に埋め込まれた第2のコンタクト16Bを介して第2の金属配線17Bが接続されており、これら第1及び第2のコンタクト16A、16B並びに第1及び第2の金属配線17A、17Bは下層の窒化チタン膜と上層のアルミニウム膜から構成されている。また、以上説明した各部材はシリコン窒化膜からなる保護膜1

8に覆われている。

【0011】

以下、図6(a)～(c)及び図7(a)～(c)を参照しながら従来の半導体装置の製造方法について説明する。

【0012】

まず、図6(a)に示すように、半導体基板10の上に、第1のPt膜11A、強誘電体膜12A、第2のPt膜13A及びTi膜14Aを順次堆積した後、Ti膜14A及び第2のPt膜13Aをパターニングして、図6(b)に示すように、Ti膜14Aからなる密着層14及び第2のPt膜13Aからなる上部電極13を形成する。

【0013】

次に、強誘電体膜12A及び第1のPt膜11Aをパターニングして、図6(c)に示すように、強誘電体膜12Aからなる容量絶縁膜12及び第1のPt膜11Aからなる下部電極11を形成する。

【0014】

次に、図7(a)に示すように、容量絶縁膜12における第1のコンタクト16Aを形成する領域に開口部12aを形成した後、絶縁性基板10の上に全面に亘って絶縁膜15を堆積する。次に、絶縁膜15に、下部電極11を露出させる第1のコンタクトホール16a及び上部電極13を露出させる第2のコンタクトホール16bをそれぞれ形成する。

【0015】

次に、図7(b)に示すように、絶縁膜15の上に、下層の窒化チタン膜と上層のアルミニウム膜からなる積層膜を第1及び第2のコンタクトホール16a、16bに埋め込まれるように堆積した後、該積層膜をパターニングして、下部電極11と接続される第1のコンタクト16A及び第1の金属配線17A、並びに上部電極13と接続される第2のコンタクト16B及び第2の金属配線17Bを形成する。

【0016】

次に、絶縁性基板10の上に全面に亘ってシリコン窒化膜からなる保護膜18



を堆積すると、図 7 (c) に示すように従来の半導体装置が得られる。尚、図示は省略したが、保護膜 18 に開口部を形成した後、該開口部に第 1 及び第 2 の金属配線 17A、17B とそれぞれ接続される電極パッドを形成すると、一連の製造工程が終了する。

#### 【0017】

##### 【発明が解決しようとする課題】

ところで、パターニングにより、密着層 14、上部電極 13、容量絶縁膜 12 及び下部電極 11 を形成した後、通常、容量絶縁膜 12 におけるパターニングによるダメージを回復させるためにアニールが行なわれる。

#### 【0018】

ところが、アニールによって、密着層 14 を構成する Ti 原子が、上部電極 13 を構成する Pt の柱状結晶同士の間を通過して拡散し、強誘電体膜からなる容量絶縁膜 12 に到達してしまう。このため、容量絶縁膜 12 を構成する強誘電体膜の分極特性が劣化して容量素子の電気特性が悪化するという問題が発生する。

#### 【0019】

また、アニールによって、密着層 14 が膨張する一方、上部電極 13 は収縮する。このため、上部電極 13 に応力が加わるので、上部電極 13 にボイドが形成されてしまうという問題も発生する。

#### 【0020】

前記に鑑み、本発明は、容量絶縁膜を構成する強誘電体膜の分極特性の劣化を防止することを第 1 の目的とし、上部電極にボイドが形成されないようにすることを第 2 の目的とする。

#### 【0021】

##### 【課題を解決するための手段】

前記の第 1 の目的を達成するため、本発明に係る半導体装置は、基板上に形成された下部電極、下部電極の上に形成された強誘電体膜からなる容量絶縁膜と、容量絶縁膜の上に形成された上部電極と、上部電極の上に形成された密着層と、下部電極、容量絶縁膜、上部電極及び密着層を覆うように形成された絶縁膜とを備え、密着層は、金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属

窒化膜との積層膜からなる。

【0022】

本発明の半導体装置によると、上部電極と絶縁膜との間には、金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜からなる密着層が介在しているため、絶縁膜が密着層から剥がれ難いと共に、後工程でアニール処理を行なっても密着層を構成する金属原子は上部電極に拡散し難い。このため、密着層の金属原子が強誘電体膜からなる容量絶縁膜に到達し難いので、強誘電体膜の分極特性が劣化して容量素子の電気特性が劣化する事態が回避される。

【0023】

本発明の半導体装置において、上部電極はPt又はIrを含み、金属酸化膜はTi又はTaの酸化物からなり、金属窒化膜はTi又はTaの窒化物からなることが好ましい。

【0024】

このように、上部電極がPt又はIrを含むと、上部電極は柱状結晶からなり金属原子を拡散させ易いという性質を持っているが、Ti若しくはTaの酸化物又は窒化物は上部電極に拡散し難いので、強誘電体膜の分極特性の劣化を確実に防止することができる。

【0025】

前記の第1の目的を達成するため、本発明に係る第1の半導体装置の製造方法は、基板上に、第1の金属膜、強誘電体膜、第2の金属膜、及び金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜を順次堆積する工程と、単層膜又は積層膜をパターニングして密着層を形成する工程と、第2の金属膜をパターニングして上部電極を形成する工程と、強誘電体膜をパターニングして容量絶縁膜を形成する工程と、第1の金属膜をパターニングして下部電極を形成する工程と、下部電極、容量絶縁膜、上部電極及び密着層を覆うように絶縁膜を堆積する工程とを備えている。

【0026】

第1の半導体装置の製造方法によると、上部電極と絶縁膜との間には、金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜からな

る密着層が介在することになるため、絶縁膜が密着層から剥がれ難いと共に、後工程でアニール処理を行なっても密着層を構成する金属原子は上部電極に拡散し難い。このため、密着層の金属原子が強誘電体膜からなる容量絶縁膜に到達し難いので、強誘電体膜の分極特性が劣化して容量素子の電気特性が劣化する事態が回避される。

## 【0027】

第1の半導体装置の製造方法において、単層膜又は積層膜を堆積する工程は、金属酸化物若しくは金属窒化物からなるターゲットを用いるスパッタリング法、又は、酸素ガス若しくは窒素ガスを含む雰囲気中に行なう反応性スパッタリング法により行なわれることが好ましい。

## 【0028】

このようにすると、密着層を構成する金属原子が、窒素原子又は酸素原子と結合する前に上部電極に拡散する事態を防止できるので、容量絶縁膜を構成する強誘電体膜の分極特性の劣化をより確実に防止することができる。

## 【0029】

前記の第2の目的を達成するため、本発明に係る第2の半導体装置の製造方法は、基板上に、下部電極、容量絶縁膜及び上部電極からなる容量素子を形成する工程と、容量素子に対して300℃～800℃のアニールを行なう工程と、容量素子の上に、金属酸化膜若しくは金属窒化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜からなる密着層を堆積する工程と、容量素子及び密着層を覆うように絶縁膜を堆積する工程とを備えている。

## 【0030】

第2の半導体装置の製造方法によると、容量素子に対して300℃～800℃のアニールを行なう上部電極を収縮させておいてから密着層を堆積するため、半導体プロセスの後工程においてアニールが行なわれても上部電極は収縮しない。このため、上部電極に加わる応力が低減するので、上部電極にはボイドが形成され難い。この場合、300℃以上の温度でアニールを行なうため、上部電極は確実に収縮すると共に、アニール温度が800℃以下であるため、上部電極及び下部電極にヒロックが発生する事態を防止できる。

## 【0031】

## 【発明の実施の形態】

以下、本発明の一実施形態に係る半導体装置について図面を参照しながら説明する。

## 【0032】

図1は、本発明の一実施形態に係る半導体装置の断面構造を示しており、半導体基板1の上に、Pt膜からなる下部電極2、例えば $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等の強誘電体膜からなる容量絶縁膜3、及びPt膜からなる上部電極4から構成される容量素子が形成されている。

## 【0033】

上部電極4の上にはTiNからなる密着層5が形成されており、下部電極2、容量絶縁膜3、上部電極4及び密着層5は、シリコン酸化膜又はシリコン窒化膜等からなる絶縁膜6により覆われている。

## 【0034】

下部電極2には、絶縁膜6に埋め込まれた第1のコンタクト7Aを介して第1の金属配線8Bが接続されていると共に、上部電極4には、絶縁膜6に埋め込まれた第2のコンタクト7Bを介して第2の金属配線8Bが接続されており、これら第1及び第2のコンタクト7A、7B並びに第1及び第2の金属配線8A、8Bは下層の窒化チタン膜と上層のアルミニウム膜から構成されている。また、以上説明した各部材はシリコン窒化膜からなる保護膜9に覆われている。

## 【0035】

本実施形態によると、上部電極4の上にはTiNからなる密着層5が形成されているため、後工程においてアニールを行なっても、密着層5を構成する金属原子は、上部電極4には殆ど拡散しないため、容量絶縁膜3には到達しない。このため、容量絶縁膜3を構成する強誘電体膜の分極特性が劣化しないので、容量素子の電気特性は悪化しない。

## 【0036】

以下、本実施形態を評価するために行なった、強誘電体膜の分極量の測定結果について説明する。測定試料としては、密着層が形成されていない容量素子、T

i Nからなる密着層が形成されている容量素子、及びT i からなる密着層が形成されている容量素子を用い、いずれの場合においても、絶縁膜6、第1及び第2のコンタクト7 A、7 B、第1及び第2の金属配線8 A、8 B、並びに保護膜9が形成されていないものを用いた。また、図1に示す端子Aと端子Bとから強誘電体膜の分極量を測定した。

## 【0037】

分極量の測定結果は図2に示すとおりであって、T i Nからなる密着層が形成された容量素子においては、密着層が形成されておらずT i 原子の拡散の影響が全くない容量素子と同程度である、 $14 \mu\text{C}/\text{cm}^2$  以上の分極量及び $1.5 \mu\text{C}/\text{cm}^2$  以下のばらつきが測定された。これに対して、T i からなる密着層が形成された容量素子においては、 $8 \mu\text{C}/\text{cm}^2$  程度の分極量及び $3 \mu\text{C}/\text{cm}^2$  のばらつきが測定された。

## 【0038】

これらの測定結果から、本実施形態に係る容量素子を用いると、半導体プロセスの後工程においてアニールを行なっても、密着層5を構成する金属原子の拡散を防止でき、これによって、強誘電体膜からなる容量絶縁膜3の分極特性が劣化しないことが確認できた。

## 【0039】

尚、本実施形態においては、T i Nからなる密着層5を用いたが、これに代えて、T a N等の他の金属窒化物からなる単層膜を用いる場合、T i O<sub>x</sub>等の金属酸化物からなる単層膜を用いる場合、又は金属窒化膜と金属酸化膜との積層膜を用いる場合でも、後工程においてアニールを行なっても、密着層5を構成する金属原子の拡散を防止することができる。尚、T aは拡散については、T iと同様の振る舞いをする。

## 【0040】

以下、本実施形態に係る半導体装置の第1の製造方法について説明する。第1の製造方法は、従来の半導体装置の製造方法に比べて、密着層の組成及び堆積方法が異なるのみであるから、ここでは、密着層の堆積方法についてのみ説明する。

## 【0041】

第1の製造方法の特徴は、TiN等の金属窒化物又はTiO<sub>x</sub>等の金属酸化物からなるターゲットを用いるスパッタリング法により、金属窒化膜若しくは金属酸化膜の単層膜又は金属酸化膜と金属窒化膜との積層膜からなる密着層5を堆積するものである。

## 【0042】

以下、金属窒化物又は金属酸化物からなるターゲットを用いるスパッタリング法により金属窒化膜又は金属酸化膜を堆積する場合と、Ti膜等の金属膜を堆積しておいてから該金属膜を窒化处理又は酸化処理する場合との対比について説明する。

## 【0043】

金属膜を窒化处理又は酸化処理して金属窒化膜又は金属酸化膜を形成する場合には、金属膜を構成するTi等の金属原子が、窒素原子又は酸素原子と結合する前に上部電極4に拡散するため、容量絶縁膜3の分極特性が劣化する恐れがある。これに対して、金属窒化物又は金属酸化物からなるターゲットを用いるスパッタリング法により金属窒化膜又は金属酸化膜を堆積する場合には、金属原子は上部電極4に殆ど拡散しないため、容量絶縁膜3の分極特性の劣化をより確実に防止することができる。

## 【0044】

以下、第1の製造方法を評価するために行なった、強誘電体膜の分極量の測定結果について図3を参照しながら説明する。測定試料としては、スパッタリング法によりTiN膜からなる密着層を堆積した容量素子、Ti膜を窒化处理してTiN膜からなる密着層を形成した容量素子、スパッタリング法によりTiO<sub>x</sub>膜からなる密着層を堆積した容量素子、及びTi膜を酸化処理してTiO<sub>x</sub>膜からなる密着層を形成した容量素子を用いた。

## 【0045】

図3から分かるように、スパッタリング法によりTiN膜又はTiO<sub>x</sub>膜からなる密着層を堆積した場合には、強誘電体膜の分極量は、図2に示した密着層が形成されていない場合と同程度であったが、Ti膜を窒化处理又は酸化処理して

密着層を形成した場合には、強誘電体膜の分極量は、スパッタリング法により堆積したTiN膜又はTiO<sub>x</sub>膜からなる密着層を用いた場合に比べて劣化している。また、Ti膜に酸化処理を行なった場合には、Ti膜に窒化処理を行なった場合に比べて劣化の程度が小さい。これは、酸化処理を行なったときには、O原子がTi原子と速やかに結合してTiO<sub>x</sub>が形成されるのに対して、窒化処理を行なったときには、N原子がTi原子と速やかに結合しないためであると考えられる。

## 【0046】

尚、第1の製造方法は、TiN等の金属窒化物又はTiO<sub>x</sub>等の金属酸化物からなるターゲットを用いるスパッタリング法により、金属窒化膜又は金属酸化膜を堆積する場合であったが、これに代えて、Ta<sub>2</sub>N等の金属窒化物又はTaO<sub>x</sub>等の金属酸化物からなるターゲットを用いるスパッタリング法により、金属窒化膜又は金属酸化膜を堆積してもよい。

## 【0047】

また、第1の製造方法は、金属窒化物又は金属酸化物からなるターゲットを用いるスパッタリング法であったが、これに代えて、Ti又はTa等の金属からなるターゲットを用いて、N<sub>2</sub>ガス又はO<sub>2</sub>ガスの雰囲気中においてスパッタリングを行なう反応性スパッタリング法により、金属窒化膜又は金属酸化膜を堆積してもよい。

## 【0048】

以下、本実施形態に係る半導体装置の第2の製造方法について説明する。

## 【0049】

まず、半導体基板1の上に、Pt等からなる第1の金属膜、強誘電体膜、Pt等からなる第2の金属膜を順次堆積した後、第2の金属膜をパターニングして上部電極を形成し、強誘電体膜をパターニングして容量絶縁膜を形成し、第1の金属膜をパターニングして下部電極を形成する。

## 【0050】

次に、300℃～800℃のアニールを行なって、上部電極及び下部電極の内部応力を緩和すると共に、上部電極及び下部電極を収縮させる。次に、上部電極

の上に、TiN等の金属窒化物又はTiO<sub>x</sub>等の金属酸化物からなる密着層を堆積した後、該密着層をパターンングし、その後、従来と同様の方法により、絶縁膜、コンタクト及び金属配線を形成する。

#### 【0051】

第2の製造方法によると、アニールを行なって上部電極を収縮させておいてから密着層を堆積するため、半導体プロセスの後工程においてアニールが行なわれても上部電極は収縮しない。このため、上部電極に加わる応力が低減するので、上部電極にはボイドが形成され難い。

#### 【0052】

ここで、アニールの温度が300℃～800℃の範囲内であることが好ましい理由について説明する。

#### 【0053】

図4は、アニール温度(℃)とPt結晶の(222)面の面間隔値(nm)との関係を示している。図3から、アニール温度の上昇に伴って面間隔値が減少すること、300℃程度のアニールを行なうと面間隔値が $3.0 \times 10^{-4}$ nm程度減少すること、及びアニール温度が600℃以上になると面間隔値の減少が収束することが分かる。図3からも、アニール温度を上げると、Pt結晶の格子間距離が小さくなって、上部電極及び下部電極を構成するPt膜が収縮することが分かる。

#### 【0054】

次に、アニール温度とボイドの発生との関係を調べたところ、アニール温度が300℃以上であると、ボイドの発生を抑制できることが分かった。また、800℃以上の高温のアニールを行なうと、Ptのヒロック(突起物)が発生することも分かった。

#### 【0055】

以上の理由により、アニール温度は300℃～800℃の範囲内であることが好ましい。

#### 【0056】

#### 【発明の効果】



本発明に係る半導体装置又は第 1 の半導体装置の製造方法によると、密着層を構成する金属原子が強誘電体膜からなる容量絶縁膜に到達し難いので、強誘電体膜の分極特性が劣化して容量素子の電気特性が劣化する事態を防止することができる。

【 0 0 5 7 】

本発明に係る第 2 の半導体装置の製造方法によると、上部電極を収縮させておいてから密着層を堆積するため、半導体プロセスの後工程においてアニールが行なわれても上部電極は収縮しないので、上部電極に加わる応力を低減して、上部電極にボイドが形成される事態を防止することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体装置の断面図である。

【図 2】

本発明の一実施形態に係る半導体装置を評価するために行なった、強誘電体膜の分極量の測定結果を示す図である。

【図 3】

本発明の一実施形態に係る半導体装置の第 1 の製造方法を評価するために行なった、強誘電体膜の分極量の測定結果を示す図である。

【図 4】

本発明の一実施形態に係る半導体装置の第 2 の製造方法におけるアニール温度を検証するために行なった、アニール温度と  $P_t$  ( 2 2 2 ) 面の面間隔値との関係を示す図である。

【図 5】

従来の半導体装置の断面図である。

【図 6】

( a ) ~ ( c ) は従来の半導体装置の製造方法の各工程を示す断面図である。

【図 7】

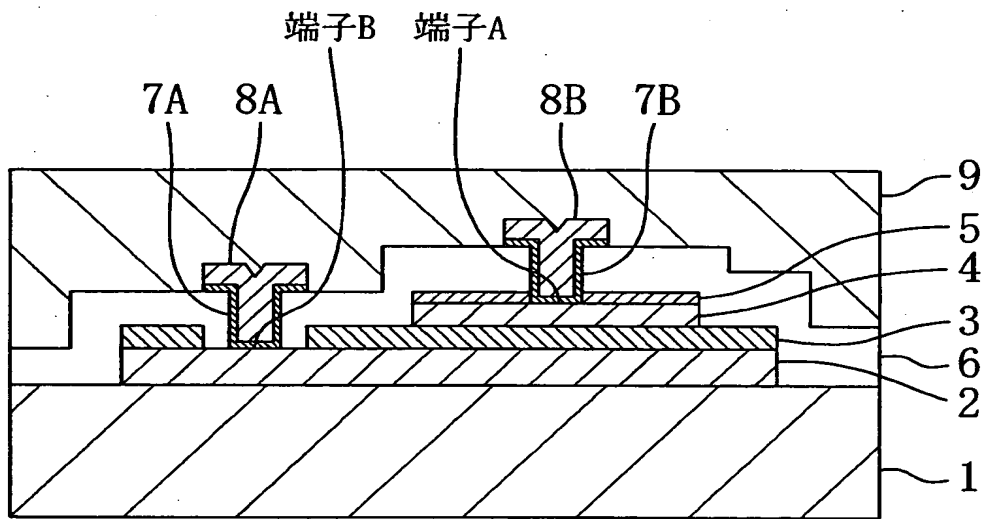
( a ) ~ ( c ) は従来の半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

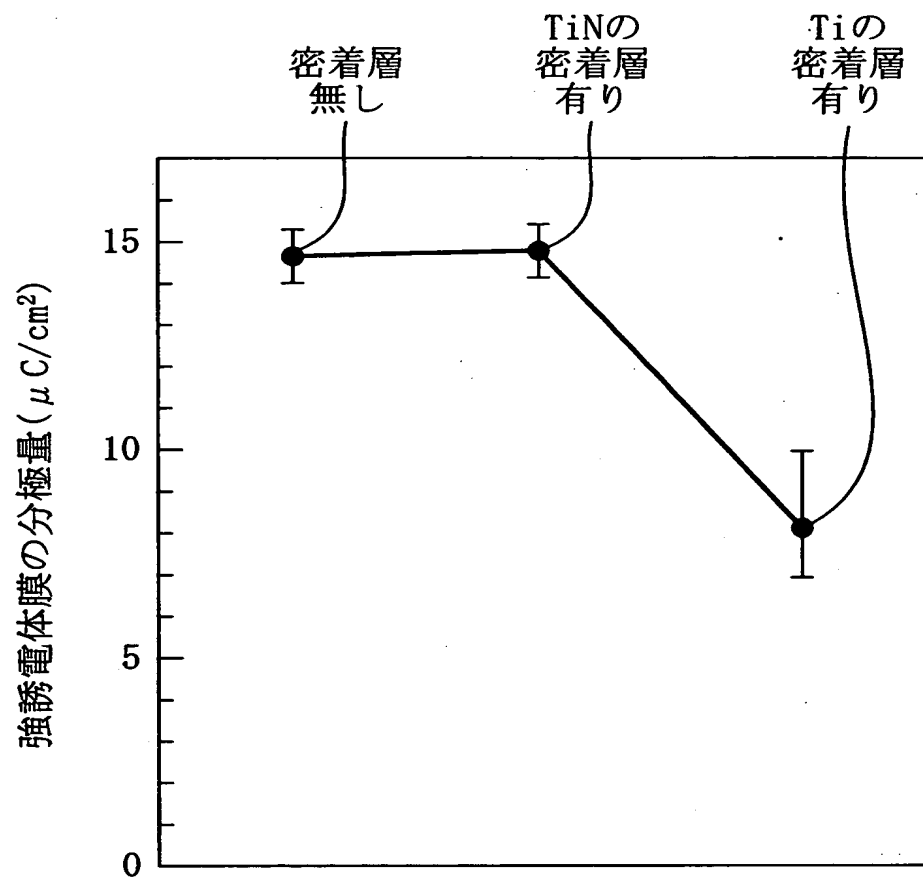
- 1 半導体基板
- 2 下部電極
- 3 容量絶縁膜
- 4 上部電極
- 5 密着層
- 6 絶縁膜
- 7 A 第 1 のコンタクト
- 7 B 第 2 のコンタクト
- 8 A 第 1 の金属配線
- 8 B 第 2 の金属配線
- 9 保護膜

【書類名】 図面

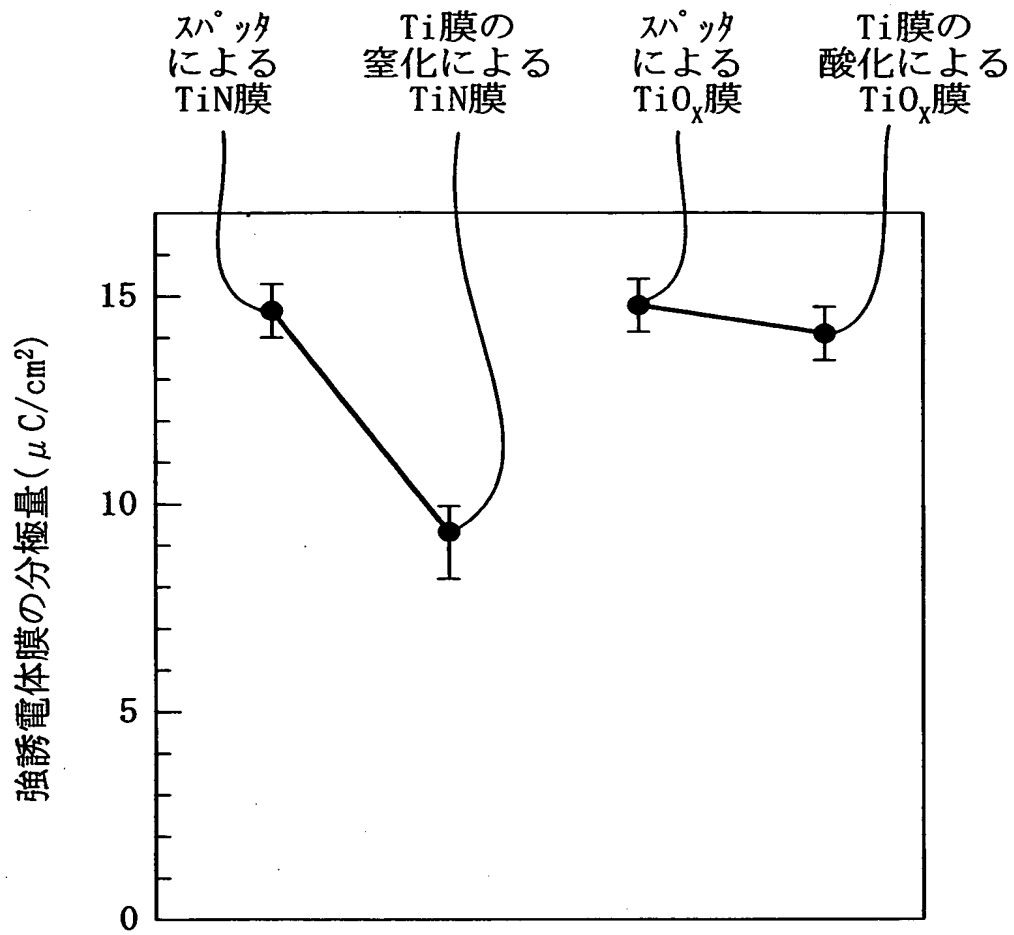
【図 1】



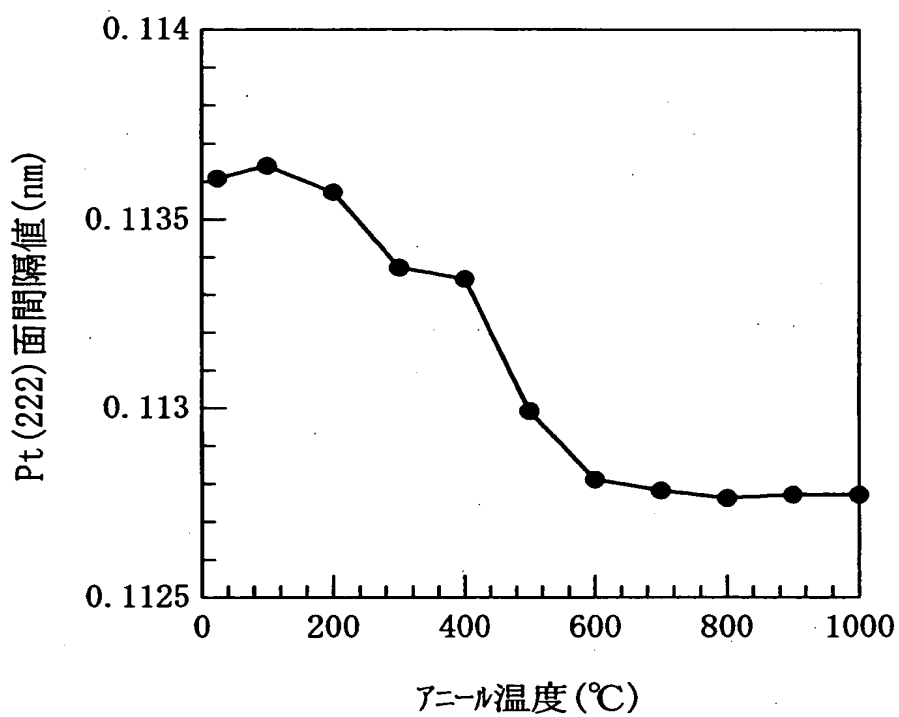
【図 2】



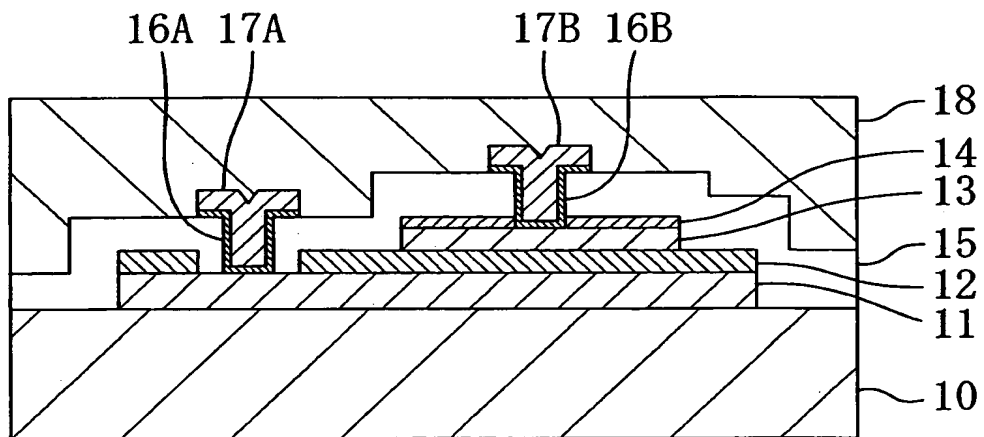
【図3】



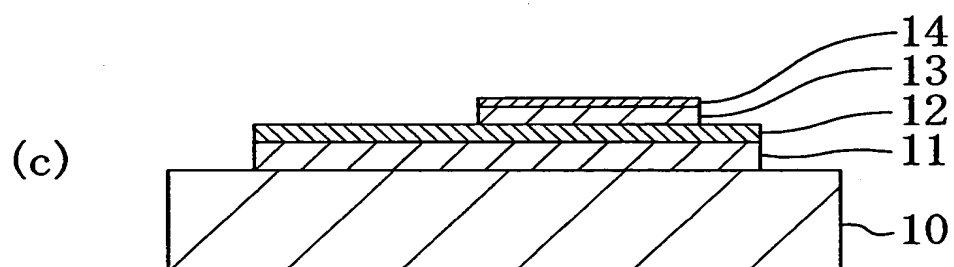
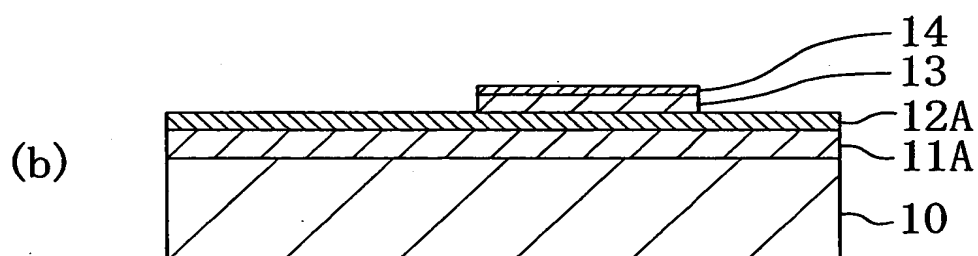
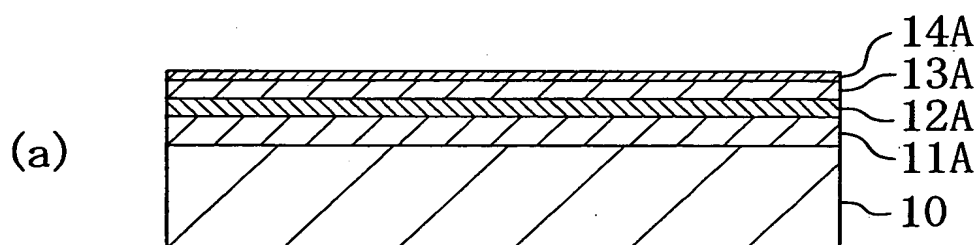
【図 4】



【図 5】

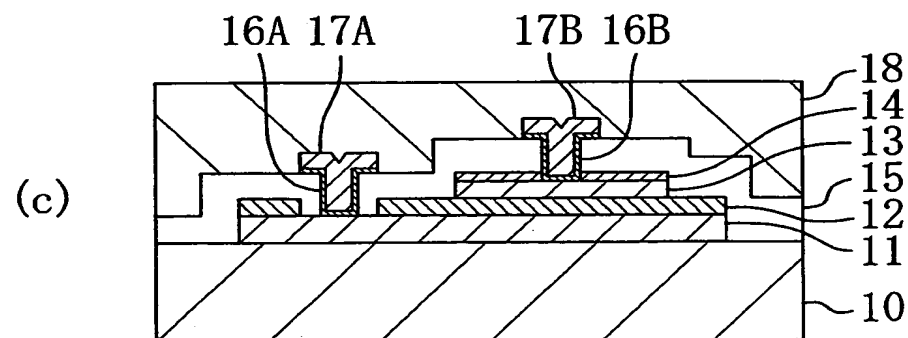
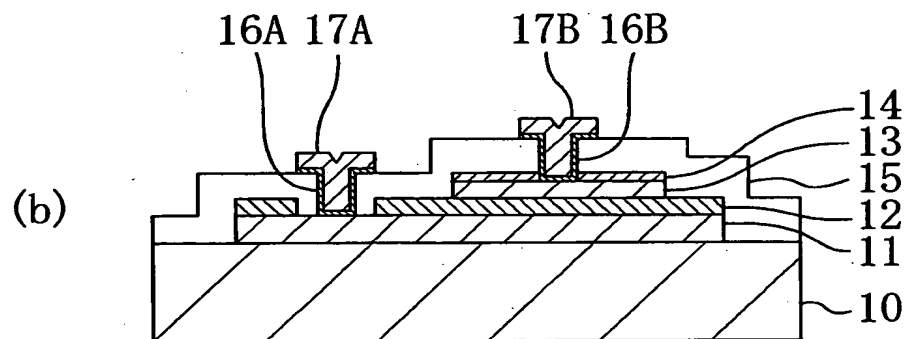
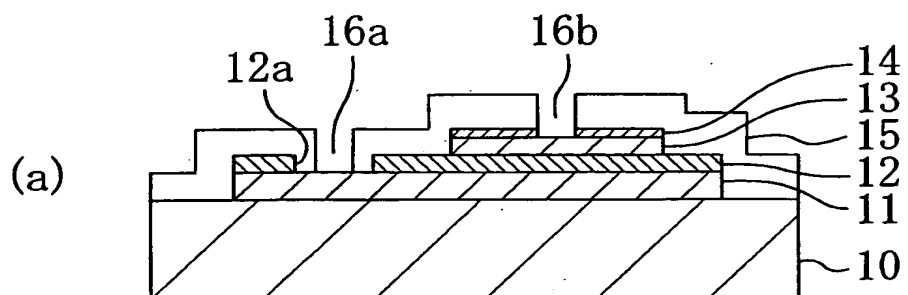


【図 6】





【図 7】



【書類名】 要約書

【要約】

【課題】 容量絶縁膜を構成する強誘電体膜の分極特性の劣化を防止する。

【解決手段】 半導体基板 1 の上に、Pt 膜からなる下部電極 2 と、強誘電体膜からなる容量絶縁膜 3 と、Pt 膜からなる上部電極 4 とから構成される容量素子が形成されている。上部電極 4 の上には密着層 5 が堆積されており、下部電極 2、容量絶縁膜 3、上部電極 4 及び密着層 5 は絶縁膜 6 により覆われている。密着層 5 は、TiN 等の金属窒化膜若しくは  $TiO_x$  等の金属酸化膜の単層膜又は金属窒化膜と金属酸化膜との積層膜からなる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日  
[変更理由] 住所変更  
住 所 大阪府高槻市幸町1番1号  
氏 名 松下電子工業株式会社